

디지털 신호 이용한 위상 고정 루프 자체 내장 테스트 기법

(A Built-in Self Test Scheme for Phase-Locked Loops Using All Digital Signals)

김유빈, 김기철, 김인철, 손현욱, 강성호

(Youbean Kim, Kicheol Kim, Incheol Kim, Hyunwook Son, and Sungho Kang)

Department of Electrial and Electroni Engineering, Yonsei University

{inyacio, ,kkei99, kich8718, chaos302}@soc.yonsei.ac.kr and shkang@yonsei.ac.kr

Abstract

Analog and mixed-signal testing is becoming an important issue that affects both time-to-market and product cost of electronic systems. A PLL is the most common mixed-signal building block used in digital IC design. In this paper, we propose the PLL BIST for the success of products. The proposed BIST uses a hamming distance detector that consists of XOR networks and D latches. It provides an efficient structural test, reduced area overhead and the improved test quality.

1. 서 론

PLL(phase-locked loops: 위상 고정 루프)은 대표적인 혼성 신호(mixed signal) 구조를 갖는 블록으로 RF 시스템에서의 주파수 합성(frequency synthesis), 회로 내의 클럭 생성(clock generation), 잡음으로 인한 클럭 복원(clock recovering)등 다양하고 중요한 응용 분야를 갖고 있다. 또한 PLL은 회로 전체의 성능과 정확성과 관계된 회로 요소이므로 그 오동작이 미치는 영향은 매우 심각하다. 하지만 PLL은 디지털 블록에 비해 다소 잡음에 예민한 아날로그 블록을 포함하고 있는 혼성 신호 구조로 인해 테스트와 관련한 많은 고려사항들을 내재하고 있다. 기존의 혼성 신호 테스트를 이용한 테스트는 복잡한 프로그래밍이 요구되기도 하며[1], 주파수 고정 테스트(frequency lock test) 방식은 간단하고 빠르게 테스트가 가능하지만 테스트 성능이 우수하지 못

한 경우가 많으며[2], 사인 파형과 같은 입력 신호를 생성하여 그 출력 신호를 분석하는 전형적인 아날로그 테스트 방식은 고가의 테스트 비용 및 출력 측정의 어려움으로 인해 PLL에 적용하기는 어려운 점이 있었다. 이에 PLL의 디지털 신호를 이용하여 효율적으로 테스트하기 위한 방법들이 많이 연구되었는데, 그 중 BIST(Built-in Self Test: 자체 내장 테스트) 방식을 이용하여 PLL 내부에 집적함으로 고성능의 테스트 장비의 도움을 받지 않고, PLL을 테스트하기 위한 노력이 많이 진행 되어 왔다[3]-[6]. 하지만, 테스트 시간 및 효율성을 상당히 증가 시켰음에도 불구하고 하드웨어 오버헤드 문제[3][4] 및 테스트 모드를 위한 내부 블록에 의한 PLL의 루프 끊어짐(broken) 현상으로 인한 성능 저하 문제[3][4], 테스트 모드 시 주파수 분주기와 중요한 내부 블록을 사용할 수 없거나[5], 사용하지 않도록 하여[6], 테스트 신뢰도를 높이지 못한 문제가 있었다.

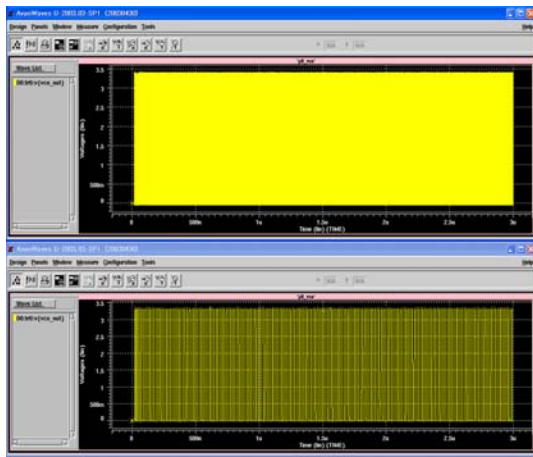
2. 제안하는 구조

BIST 방식을 이용한 테스트에서는 몇 가지 PLL 성능과 관련한 제한사항이 있는데, 루프 필터(loop filter)와 같은 예민한 아날로그 블록에 가능한 적은 변형을 가해야 하며, BIST 블록으로 인해 PLL 전체의 기능 및 성능에 영향을 주지 않아야 한다. 또한 테스트 시간 및 그 효율이 좋아야 하며, 하드웨어 오버헤드 역시 가능한 적어야 한다. 이러한 조건을 만족하기 위해 본 논문에서는 PLL 내부의 디지털 신호만을 이용하여 적은 하드웨어 오버헤드로 빠르게 내부 고장(fault)을 테스트

할 수 있는 BIST 블록을 제안한다.

PLL은 VCO에서 출력된 출력 주파수와 기준 주파수(reference frequency)의 위상차를 검출해 주는 위상 검출기(phase detector)와 해당 위상차만큼 내부 전하를 조절해 주는 차지 펌프(charge pump), 그 과정에서 생성되는 하모닉(harmonic)들을 제거해 주는 루프 필터(loop filter), 전압의 변화에 따라 발진을 만들어 주는 VCO로 구성되어 있다. 이것이 PLL의 기본 구조라 할 수 있으며, 여기에 주파수 합성의 기능을 할 수 있도록 주파수 분주기(frequency divider)가 부가된 형태의 PLL이 현재 가장 많이 쓰이고 있는데, 본 논문에서는 800MHz의 출력 주파수와 100MHz의 기준 주파수를 갖는 8분주 주파수 분주기를 갖는 PLL을 사용한다.

PLL에서 발생된 고장은 내부 아날로그 블록에 영향을 주게 되고, 그림 1과 같이 잡음에 민감한 아날로그 블록은 VCO의 출력주파수에 영향을 주게 되는데, 본 논문에서 제안하는 방식은 이러한 왜곡된 VCO 파형이 주파수 분주기로 입력될 때 주파수 분주기 내부 값의 변화를 관찰하여 고장의 유무를 판단할 수 있도록 하는 BIST 기법이다.



[그림 1] Mxn8_xi1노드에 발생한 Drain-Source Short로 인한 VCO 출력 변화(상단: 정상, 하단: 고장)

정상적인 VCO 출력 주파수가 주파수 분주기에 입력될 경우 주파수 분주기의 내부 플립플롭(flipflop)이 매 클럭 갖는 값을 XOR하게 되면, 연속되는 XOR 값의 해밍 거리(hamming distance)는 표 1과 같이 1을 갖게 된다. 하지만, 고장이 발생할 경우 그림 1과 같이 잡음에 예민한 VCO의 주파수가 정상 범위에서 왜곡되면서 이 해밍 거리 1이 깨어지게 되는데 이것을 검출하여 고장을 발견하게 된다.

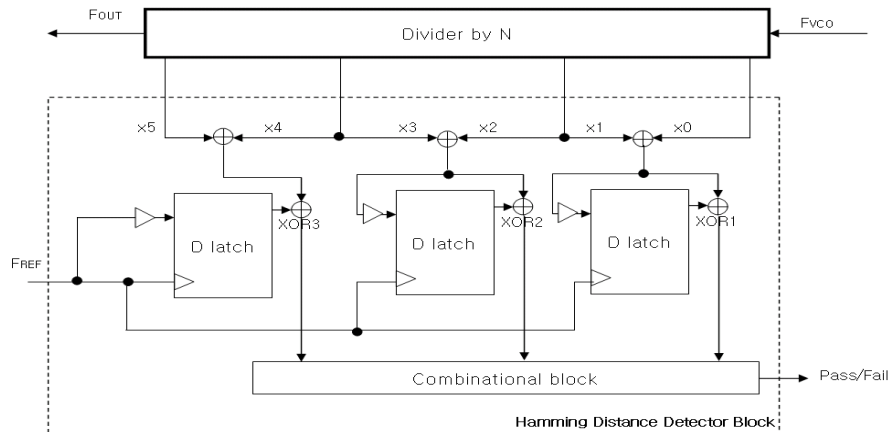
[표 1] 정상동작 PLL의 주파수분주기 해밍거리

1/8	1/4	1/2	VCO	XOR	Hamming Distance
1	1	1	1	000	-
1	1	1	0	001	1
1	1	0	1	011	1
1	1	0	0	010	1
1	0	1	1	110	1
1	0	1	0	111	1
1	0	0	1	101	1
1	0	0	0	100	1

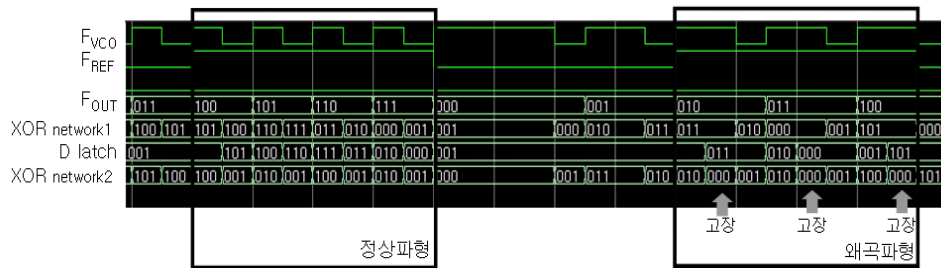
해밍 거리를 관찰하기 위한 BIST 블록은 그림 2와 같다. XOR은 표1과 같이 주파수 분주기 내부의 천이(transition)을 관찰하기 위해 사용되었고, 매 클럭 연속된 주파수 분주기의 값을 비교하기 위해 D 래치(D latch)가 이용되었다. D 래치의 클럭은 기준 주파수 클럭이 입력되는데 이는 VCO 출력 주파수는 고장에 의해 왜곡 될 수 있으므로 PLL 내부에서 가장 정확한 주파수를 생성 할 수 있는 기준 주파수를 이용한 것이다. 또한 XOR3과 연결된 마지막 D 래치 역시 기준 주파수를 입력으로 받도록 하여 왜곡된 주파수 간의 동기화로 인해 해밍 거리가 깨어지는 것을 검출하지 못하는 상황이 생기지 않도록 하였다. 이 기준 주파수가 활성화(active high)로 되는 동안 D 래치는 XOR 네트워크의 값들을 저장하고 또 다른 XOR을 통해 현재 주파수 분주기가 홀드(hold)하고 있는 값과 다시 XOR된다. 이렇게 출력된 정보는 표 1과 같이 1값이 오직 한번만 나타나야 하며, 표의 2번째 경우와 같이 1이 한번을 초과하여 발생할 경우는 고장으로 인한 왜곡된 주파수가 입력된 것으로 본다. 즉, 최종 XOR단에서 1이 한번 출력된다는 것은 D 래치의 출력 중 천이가 한번 일어난다는 것으로 해밍 거리가 1임을 의미하는 것이다.

[표 1] XOR의 정상 출력 및 고장 출력

클럭	XOR1	XOR2	XOR3	고장유무
#1	1	0	0	정상
#2	0	1	1	고장
#3	0	0	1	정상



[그림 2] 해밍거리 검출을 위한 BIST 블록도



[그림 3] 해밍거리 검출기 동작 파형

3. 실험 결과

본 논문에서 제안하는 해밍 거리 검출기는 VCO에서 고장에 의해 왜곡된 주파수가 발생하는 경우는 모두 검출이 가능하다. 그림 3은 해밍 거리 검출기의 동작 파형을 나타낸 것이며, 'XOR network1'은 주파수 분주기의 XOR 값을 의미하고, 'XOR network2'는 최종 D 래치를 통과한 값과의 비교 값이다. 즉 앞서 언급한 바와 같이 정상 파형이라면 'XOR network2'에는 '001', '010', '100'과 같은 해밍 거리 1만이 검출되어야 한다. 그림 3의 정상 파형을 보면 모두 해밍 거리 1을 만족하는 것을 볼 수 있지만, Fvco의 파형이 왜곡되는 왜곡 파형 부분에서는 '000'과 같은 해밍 거리를 파괴하는 성분들이 나타나기 시작한다. 이러한 고장 성분을 조합 회로 블록(combination block)에서 최종 검출하여 불량 유무를 분석하게 된다.

실험은 drain open(DO), source open(SO), gate open(GO), gate-source short(GSS), gate-drain short(GDS), drain-source short(DSS) 총 6개의 고장 종류 1077개에 대해 진행되었으며, 실험에 사용된 PLL

은 앞서 언급한 바와 같이 800MHz의 Fvco와 1/8 주파수 분주기를 통한 100MHz의 기준 주파수를 갖는다. 고장은 트랜지스터의 short는 1Ω을 사용하였고, 트랜지스터의 open은 10 MΩ을 사용하여 모델링 하였다.

[표 2] 고장 종류에 따른 고장 검출율 비교

고장 종류	고장 검출율
Drain Open(DO)	100 %
Source Open(SO)	98.8 %
Gate Open(GO)	81.7 %
Gate-Source Short(GSS)	100 %
Gate-Drain Short(GDS)	100 %
Drain-Source Short(DSS)	98.3 %
Overall	96.5 %

표 2에서 보는 바와 같이 6개 고장 모델에 대해 평균 고장 검출율 96.5%를 보였으며 표3과 같이 기존의 방식

에 비해 가장 적은 하드웨어 오버헤드로 효율적인 고장 검출이 가능함을 알 수 있었다.

[표 3] 기존 방식과의 비교

	[1]	[4]	[5]	proposed
BIST Scheme	Functional Test	Defect Test	Defect Test	Defect Test
Loop Type	Broken	Broken	Not Broken	Not Broken
Overhead	High	Small	Small	Best Small
Test Access	Bad	Simple	Simple	Simple
Test Time	Slow	Fast	Fast	Fast
Fault Coverage	-	Good	Good	Good

4. 결론

본 논문은 적은 하드웨어 오버헤드로 효과적으로 PLL을 테스트 할 수 있는 BIST구조를 제안하였다. 해밍 거리 검출이라는 간단한 방식을 이용하여 PLL 내부의 고장에 의한 VCO 파형의 왜곡을 주파수 분주기를 통해 검출 하도록 하였다. 이를 통해 6개의 트랜지스터 open 및 short 고장에 대해 96.5%의 고장 검출율을 보였다.

참고문헌

- [1] S. Sunter and A. Roy, "BIST for phase-locked loops in digital applications", in *Proc. Int. Test Conf.*, Sep. 1999, pp. 532-540.
- [2] M.J. Burbidge, F. Pouillet, J. Tijou, and A. Richardson, "Investigations for minimum invasion digital only built-in "Ramp" based test techniques for charge pump PLL's", in *Proc. IEEE European Test Workshop(ETW'02)*, 2002, pp. 95-102.
- [3] F. Azais, Y. Bertrand, M. Renovell, A. Ivanov, and S. Tabatabaei, "An all-digital DFT scheme for testing catastrophic faults in PLLs", *IEEE Des. Test Comput.*, Vol.20, No.1, 2003, pp. 60-67.
- [4] Seongwon Kim and Mani Soma, "An All-Digital Built-in Self-Test for High-Speed Phase-Locked Loops", *IEEE Trans. on Circuits and Systems*,

Vol. 48, No. 2, Feb. 2001, pp. 141-150.

- [5] Chun-Lung, Yiting Lai, and Shu-Wei Wang, "Built-in Self-Test for Phase-Locked Loops", *IEEE Trans. on Instruments and Measurement*, Vol. 54, No. 3, Jun. 2005, pp. 996-1002.
- [6] Junseok Han, Dongsup Song, Hagbae Kim, YoungYong Kim, and Sungho Kang, "An Effective Built-in Self-Test for Chargepump PLL", *IEICE Trans. on Electron*, Vol.E88-C, No. 8, Aug. 2005, pp. 1731-1733.